



PATENT
Docket No.: 12377/4

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANT : Makoto Ogawa
SERIAL NO. : 10/772,349
FILED : February 6, 2004
FOR : IMAGE PROCESSING DEVICE AND IMAGE PROCESSING
METHOD
GROUP : Unassigned

COMMISSIONER FOR PATENTS
P.O. BOX 1450
Alexandria, VA 22313-1450
ATTN: Manager, Application Division

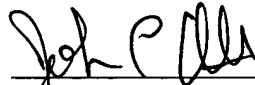
CLAIM TO CONVENTION PRIORITY UNDER 35 U.S.C. § 119

SIR:

The Convention Priority Date of Japanese Patent Application No. 2003-031569 filed in Japan on February 7, 2003, was claimed in the Declaration/Power of Attorney filed herewith. To complete the claim to the Convention Priority Date of said Japanese Patent Applications, a certified copy thereof is submitted herewith.

Respectfully submitted,

Dated: May 17, 2004



John C. Altmiller
(Reg. No. 25,951)

KENYON & KENYON
1500 K Street, N.W., Suite 700
Washington, DC 20005-1257
Tel: (202) 220-4200
Fax: (202) 220-4201
492927_1.DOC

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 7 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 3 1 5 6 9
Application Number:

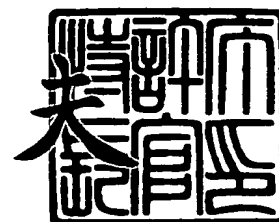
[ST. 10/C]: [J P 2 0 0 3 - 0 3 1 5 6 9]

出 願 人
Applicant(s): 小 川 誠
 伊 藤 潔 人
 柴 田 直
 ロ ー ム 株 式 会 社

2 0 0 4 年 1 月 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 XY030106

【提出日】 平成15年 2月 7日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/00

【発明の名称】 画像処理装置及び画像処理方法

【請求項の数】 8

【発明者】

 【住所又は居所】 東京都文京区根津 2 - 1 1 - 1 1 - 3 0 1

 【氏名】 小川 誠

【発明者】

 【住所又は居所】 千葉県柏市西原 3 - 8 - 1 8 セルフィール西原 3 0 2

 【氏名】 伊藤 潔人

【発明者】

 【住所又は居所】 東京都江東区越中島 1 - 3 - 1 6 - 4 1 1

 【氏名】 柴田 直

【特許出願人】

 【住所又は居所】 東京都文京区根津 2 - 1 1 - 1 1 - 3 0 1

 【氏名又は名称】 小川 誠

【特許出願人】

 【住所又は居所】 千葉県柏市西原 3 - 8 - 1 8 セルフィール西原 3 0 2

 【氏名又は名称】 伊藤 潔人

【特許出願人】

 【識別番号】 591022117

 【氏名又は名称】 柴田 直

【特許出願人】

 【識別番号】 000116024

 【氏名又は名称】 ローム株式会社

【代理人】

【識別番号】 100090273

【弁理士】

【氏名又は名称】 國分 孝悦

【電話番号】 03-3590-8901

【手数料の表示】

【予納台帳番号】 035493

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0104942

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置及び画像処理方法

【特許請求の範囲】

【請求項 1】 二次元画像をマトリクス状の複数の画素データからなる画素データ群で構成し、画像処理を施す画像処理装置であって、

前記画素データ群を複数の前記画素データからなる小ブロックに分割し、更に複数の前記小ブロックで大ブロックを構成し、前記各大ブロック毎に前記各小ブロックを規則的に区別して配置した状態として、

前記各大ブロックにおいて、前記規則に対応した位置の前記各小ブロック毎に各々独立して前記画素データを保持し、前記各小ブロックに対する 1 つのアドレス指定により当該小ブロック内の複数の前記画素データを同時に読み出し自在に構成されてなる複数の記憶手段と、

複数の係数がマトリクス状に配置されてなる係数列を有し、複数の前記係数をそれぞれ対応する前記画素データに乗算して総和を求める演算手段と

を含み、

前記演算手段は、複数の前記記憶手段から読み出された、ある 1 つの前記大ブロックを構成する前記各小ブロックの前記各画素データに、前記係数列を所定の順序に並び換えて乗算することを特徴とする画像処理装置。

【請求項 2】 前記演算手段は、所定の前記係数列を記憶する係数記憶部と、前記係数列を所定の順序に並び換え、前記画素データに対応させる係数列変換部と、前記係数の乗算された前記画素データの総和を求める加算部とを含むことを特徴とする請求項 1 に記載の画像処理装置。

【請求項 3】 前記加算部は、前記各記憶手段の近傍で前記各記憶手段毎に設けられており、前記各加算部による加算結果を各々独立に転送自在とされていることを特徴とする請求項 1 又は 2 に記載の画像処理装置。

【請求項 4】 前記小ブロックが $m_1 \times m_2$ 個の前記画素データから構成され、前記大ブロックが $l_1 \times l_2$ 個の前記小ブロックから構成され、前記係数列が $n_1 \times n_2$ 個の前記係数から構成されており、

$$n_1 \leq m_1 (l_1 - 1) + 1$$

及び、

$$n_2 \leq m_2 (l_2 - 1) + 1$$

を満たすことを特徴とする請求項 1～3 のいずれか 1 項に記載の画像処理装置。

【請求項 5】 ある 1 つの前記大ブロックを構成する前記各小ブロックの各アドレスを指定した際に、当該アドレスを変更することなく、前記演算手段により前記係数列を移動させ、前記係数列の前記各並び換えに対応した複数の前記総和を得ることを特徴とする請求項 1～4 のいずれか 1 項に記載の画像処理装置。

【請求項 6】 二次元画像をマトリクス状の複数の画素データからなる画素データ群で構成し、画像処理を施す画像処理方法であって、

前記画素データ群を複数の前記画素データからなる小ブロックに分割し、更に複数の前記小ブロックで大ブロックを構成し、前記各大ブロック毎に前記各小ブロックを規則的に区別して配置した状態とするとともに、複数の係数がマトリクス状に配置されてなる係数列を構成し、

前記各大ブロック内において、前記規則に対応した位置の前記各小ブロック毎に各々独立して各記憶手段に前記画素データを保持し、前記各小ブロックに対する 1 つのアドレス指定により当該小ブロック内の複数の前記画素データを前記記憶手段から同時に読み出せる状態としておき、

複数の前記記憶手段から読み出された、ある 1 つの前記大ブロックを構成する前記各小ブロックの前記各画素データに、前記係数列を所定の順序に並び換えて乗算して総和を求めることを特徴とする画像処理方法。

【請求項 7】 前記小ブロックが $m_1 \times m_2$ 個の前記画素データから構成され、前記大ブロックが $l_1 \times l_2$ 個の前記小ブロックから構成され、前記係数列が $n_1 \times n_2$ 個の前記係数から構成されており、

$$n_1 \leq m_1 (l_1 - 1) + 1$$

及び、

$$n_2 \leq m_2 (l_2 - 1) + 1$$

を満たすことを特徴とする請求項 6 に記載の画像処理方法。

【請求項 8】 ある 1 つの前記大ブロックを構成する前記各小ブロックの各アドレスを指定した際に、当該アドレスを変更することなく、前記係数列を移動

させ、前記係数列の前記各並び換えに対応した複数の前記総和を得ることを特徴とする請求項 6 又は 7 に記載の画像処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、二次元画像に所定の処理を施して画像変換や画像検出等を行うための画像処理装置及び方法に関する。

【0002】

【従来の技術】

従来、二次元画像を処理して画像変換や画像検出等を行うには、各画素毎に、その画素を囲む複数の画素の画素データを加工する処理を逐一実行していた。

具体的には、図 9 に示すように、二次元画像に対応してマトリクス状に配置された多数の画素 101 毎に、例えばこの画素 101 を囲むカーネルブロック内における 8 個の近傍画素 102 の画素データ $X_1 \sim X_8$ に係数 $A_1 \sim A_8$ をそれぞれ対応させて乗算し、総和をとって得られた $A_1X_1 + A_2X_2 + \dots + A_8X_8$ を画素 101 の処理データとする。カーネルを 1 画素毎に移動させてゆき、上記の一連の作業を、必要とする画素全てについて逐一実行する。

【0003】

【発明が解決しようとする課題】

しかしながら、上述の画像処理法は、必要とする画素全てについて 1 画素毎に逐一演算処理することを要するために膨大な演算量となり、極めて演算負荷及び消費電力の高い処理である。即ちこの場合、1 回の演算処理を行う度に必要な画素データをメモリからプロセッサに転送し、カーネル内における複数の近傍画素のデータを全てダウンロードしなければならず、しかもカーネルが二次元画像全体を走査する間に何度も同じ画素に対してアクセスが発生するという深刻な問題がある。

【0004】

本発明は、このような問題を解決するために成されたものであり、比較的簡素な装置構成で無駄なく、極めて短時間且つ低消費電力で画像処理を行うことを可

能とする画像処理装置及び画像処理方法を提供することを目的とする。

【0005】

【課題を解決するための手段】

本発明の画像処理装置は、二次元画像をマトリクス状の複数の画素データからなる画素データ群で構成し、画像処理を施す画像処理装置であって、前記画素データ群を複数の前記画素データからなる小ブロックに分割し、更に複数の前記小ブロックで大ブロックを構成し、前記各大ブロック毎に前記各小ブロックを規則的に区別して配置した状態として、前記各大ブロックにおいて、前記規則に対応した位置の前記各小ブロック毎に各々独立して前記画素データを保持し、前記各小ブロックに対する1つのアドレス指定により当該小ブロック内の複数の前記画素データを同時に読み出し自在に構成されてなる複数の記憶手段と、複数の係数がマトリクス状に配置されてなる係数列を有し、複数の前記係数をそれぞれ対応する前記画素データに乗算して総和を求める演算手段とを含み、前記演算手段は、複数の前記記憶手段から読み出された、ある1つの前記大ブロックを構成する前記各小ブロックの前記各画素データに、前記係数列を所定の順序に並び換えて乗算する。

【0006】

本発明の画像処理方法は、二次元画像をマトリクス状の複数の画素データからなる画素データ群で構成し、画像処理を施す画像処理方法であって、前記画素データ群を複数の前記画素データからなる小ブロックに分割し、更に複数の前記小ブロックで大ブロックを構成し、前記各大ブロック毎に前記各小ブロックを規則的に区別して配置した状態とするとともに、複数の係数がマトリクス状に配置されてなる係数列を構成し、前記各大ブロック内において、前記規則に対応した位置の前記各小ブロック毎に各々独立して各記憶手段に前記画素データを保持し、前記各小ブロックに対する1つのアドレス指定により当該小ブロック内の複数の前記画素データを前記記憶手段から同時に読み出せる状態としておき、複数の前記記憶手段から読み出された、ある1つの前記大ブロックを構成する前記各小ブロックの前記各画素データに、前記係数列を所定の順序に並び換えて乗算して総和を求める。

【0007】**【発明の実施の形態】**

以下、本発明を適用した好適な諸実施形態について図面を参照しながら詳細に説明する。

【0008】

図1は、本実施形態による画像処理装置の概略構成を示すブロック図である。

この画像処理装置は、複数、ここでは4つの各々独立したメモリセルであるSRAM A、B、C、Dと、画素データをこれらメモリセルにアクセスするためのデコーダ11と、メモリセルから読み出された画素データに演算処理を施すための係数列コントローラ12と、各メモリセル毎にその近傍に設けられており、各画素の演算結果を加算する加算部13と（係数列コントローラ12及び加算部13を含み演算手段を構成する。）、各加算部13の加算結果を更に加算する全体加算部14とを備えて構成されている。

【0009】

この画像処理装置では、図2に示すように、二次元画像をマトリクス状の複数の画素データからなる画素データ群で構成し、これら画素データを以下のように区分けする。まず、画素データ群を複数の画素データからなる小ブロックに分割する。ここでは、例えば 4×4 個の画素で各小ブロックを構成する。次に、複数の小ブロック、ここでは例えば 2×2 個の小ブロックで大ブロックを構成する。このとき、各大ブロック毎に各小ブロックを規則的に区別して配置した状態とし、例えば各大ブロック毎に4つの小ブロックをその位置で区別して A_{ij} 、 B_{ij} 、 C_{ij} 、 D_{ij} （ $i, j = 1, 2, 3 \dots$ ）と規定する。ここで、上述したメモリセルの数は、各大ブロックを構成する小ブロックの数と同じ又はそれ以上となるようにする。

【0010】

そして、図3に示すように、各大ブロックの小ブロック A_{ij} を全てSRAM Aに、小ブロック B_{ij} を全てSRAM Bに、小ブロック C_{ij} を全てSRAM Cに、小ブロック D_{ij} を全てSRAM Dにそれぞれ記憶する。このとき、各メモリセルには、小ブロック毎に画素データ列（ここでは16個のデータ列）が一単

位として記憶されるており、各メモリセルは1つのアドレス指定により記憶された各画素データ列を同時に読み出し自在とされている。

【0011】

なお、各メモリセル内における1つの小ブロック分の画素データは、後述する加算時にお互い足し合わせる同等のビットを近くに配置することが好ましい。これにより、加算部13内における配線数を削減することができる。また、各メモリセルを更に分割し、グループ化することにより、読み出し速度を更に向上させることができる。また、各画素データの読み出し時には、ビットのマスクをかけることにより、画素データのビット長を変更することが可能である。

【0012】

一方、係数列コントローラ12は、図4に示すように、所定の係数列を記憶する係数記憶部であるカーネルレジスタ21と、前記係数列を所定の順序に並び換え、前記画素データに対応させる係数列変換部である2Dシフタ22とを備えて構成されている。

【0013】

カーネルレジスタ21は、二次元画像の画素データ群の一部と対応するマトリクス状の係数列を有しており、これがカーネルC1を構成する。係数列は所定の係数、ここでは-1, 0, 1の3種から構成されており、例えば図示のようなマトリクスの係数列となる。

なお、-1の乗算(減算)には2の補数を用いるが、最後に-1の個数を加算結果の適当なビット位置に加算することにより、2の補数による演算を実現する。

【0014】

そして、例えば4×4個の画素で構成される小ブロックの2×2個からなる、ある大ブロックにおいて、当該大ブロック内の画素の画素データに係数を乗算する画像処理を行う場合、例えば図5に示すように、小ブロックA_{ij}の画素データ列をSRAM Aから、小ブロックB_{ij}の画素データ列をSRAM Bから、小ブロックC_{ij}の画素データ列をSRAM Cから、小ブロックD_{ij}の画素データ列をSRAM Dからそれぞれ読み出し、カーネルC1を構成する係数列を乗算す

る。

【0015】

この演算処理を、カーネルレジスタ 21 により係数列を所定の順序に並び換えて、即ちカーネル C1 を大ブロック内に対応させて移動させ画素毎に実行する。換言すれば、この一連の演算処理を行う間は、SRAM A～D のアドレスを変更することなく、SRAM A～D から読み出される各画素データ列（全体で当該大ブロックを構成する 64 個の画素列）は不変であり、係数列が変換することになる。従って、例えば図 5 のようにカーネル C1 を移動させて演算処理した場合、実質的には当該大ブロック内でカーネル C2 を対応させて演算処理することと等価の演算結果が得られる。なおこの場合、カーネル C1 に対応した乗算のみが必要であるため、図示の例においては、 8×8 マップのカーネル C1 以外の部分を全て 0 とすれば良い。

【0016】

このように、本実施形態の画像処理装置では、必要とする画素全てについて 1 画素毎に演算処理を施すに際して、各大ブロック内ではその画素データに一度アクセスすれば良く、この間、メモリセルのアドレスは変更せずに係数列を移動させるのみで、必要とする画素全てについての演算結果を得ることが可能となり、極めて効率の良い高速演算処理が実現する。

【0017】

ここで、カーネルのサイズと小ブロック及び大ブロックとの最適な関係について説明する。

図 6 に示すように、小ブロックを $m_1 \times m_2$ 個の画素データから構成し、大ブロックを $l_1 \times l_2$ 個の小ブロックから構成し、カーネル C1 の係数列を $n_1 \times n_2$ 個の係数から構成する場合、

$$n_1 \leq m_1 (l_1 - 1) + 1$$

及び、

$$n_2 \leq m_2 (l_2 - 1) + 1$$

を満たすようにカーネル C1 のサイズを決定する。図 5 の例では、 $m_1 \times m_2$ が 4×4 、 $l_1 \times l_2$ が 2×2 であり、カーネル C1 を $n_1 \times n_2 = 5 \times 5$ 以下（図示の

例では 5×5)となる。なお、図5のように構成することにより、カーネルを大ブロック内で移動させる際に、カーネルが大ブロック内の如何なる位置にあっても必ず各小ブロックに対応するメモリセルで同時にアクセスすることができる。

【0018】

このようにして得られた画素データ毎の乗算結果は、メモリセル毎にその近傍に設けられた加算部13で加算させる。このように、各加算部13毎に演算結果を得ることにより、圧縮された途中結果のみを転送することが可能となる。一般に、画素データと係数とでは、係数の方がデータ量が少ないため、画素データをメモリセルから転送するのではなく、係数をメモリセルに転送してメモリセル近傍で演算圧縮された結果のみをメモリセルから転送することにより、全体のデータ転送量を削減することができる。

【0019】

例えば、図5のようにカーネルC1を移動させて演算した場合、SRAM Aから読み出された画素データ列 $\{X_1, X_2, \dots, X_{16}\}$ に係数列 $\{A_{i,j}\}$ ($i, j = 1 \sim 5$) が乗算されて、図7に示すキャリーの伝播しない高速なCSA (Carry Save Adder) 23で加算される。なお、 -1 の係数はビット反転により、 1 の係数はANDにより実現し、係数 $-1, 0, 1$ を転送するために3値の多値論理をデータ転送バスに使用する。

【0020】

この演算結果は、

$$\begin{aligned} \text{演算結果} &= 0 \times X_1 + 0 \times X_2 + \dots + A_{1,1} \times X_{11} + A_{1,2} \times X_{12} + \dots \\ &\quad + A_{2,1} \times X_{15} + A_{2,2} \times X_{16} \\ &= 0 \times X_{11} + 1 \times X_{12} - 1 \times X_{15} + 0 \times X_{16} \\ &= X_{12} - X_{15} \end{aligned}$$

となる。

【0021】

そして、各加算部13における演算結果が全体加算部14で加算されて総和が求められ、所定の画素データに関する演算処理結果として出力される。

【0022】

なお、本実施形態では、カーネル C 1 の係数列を図 4, 図 5 のように構成したが、これに限定されることはなく、様々な係数列が適用可能である。一例を図 8 に示す。ここで、(a) が 3×3 の平滑化 (平均化) フィルタ、(b) が 5×5 の平滑化 (平均化) フィルタ、(c) が 5×5 の縦方向のエッジ抽出フィルタ、(d) がガウシアンフィルタであり、各図でカーネルの左側に処理結果を示す。(d) において、ガウシアンフィルタに必要な係数は他のフィルタに比べて複雑であるため、図示のように 3 つの単純なカーネルの組み合わせにより実現された。

【0023】

【発明の効果】

本発明によれば、比較的簡素な装置構成で無駄なく、極めて短時間且つ低消費電力で画像処理を行うことを可能とする画像処理装置及び画像処理方法を提供することができる。

【図面の簡単な説明】

【図 1】

本実施形態による画像処理装置の概略構成を示すブロック図である。

【図 2】

本実施形態による画像処理装置の画素データ群を示す模式図である。

【図 3】

各メモリセルに小ブロックの画素データを収める様子を示す模式図である。

【図 4】

係数列コントローラを詳細に説明するための模式図である。

【図 5】

各画素データに係数列を乗算する様子を詳細に説明するための模式図である。

【図 6】

カーネルのサイズと小ブロック及び大ブロックとの最適な関係について説明するための模式図である。

【図 7】

加算部の構成を詳細に説明するための模式図である。

【図 8】

カーネルの構成を詳細に説明するための模式図である。

【図 9】

従来の画像処理法を説明するための模式図である。

【符号の説明】

A, B, C, D S R A M

1 1 デコーダ

1 2 係数列コントローラ

1 3 加算部

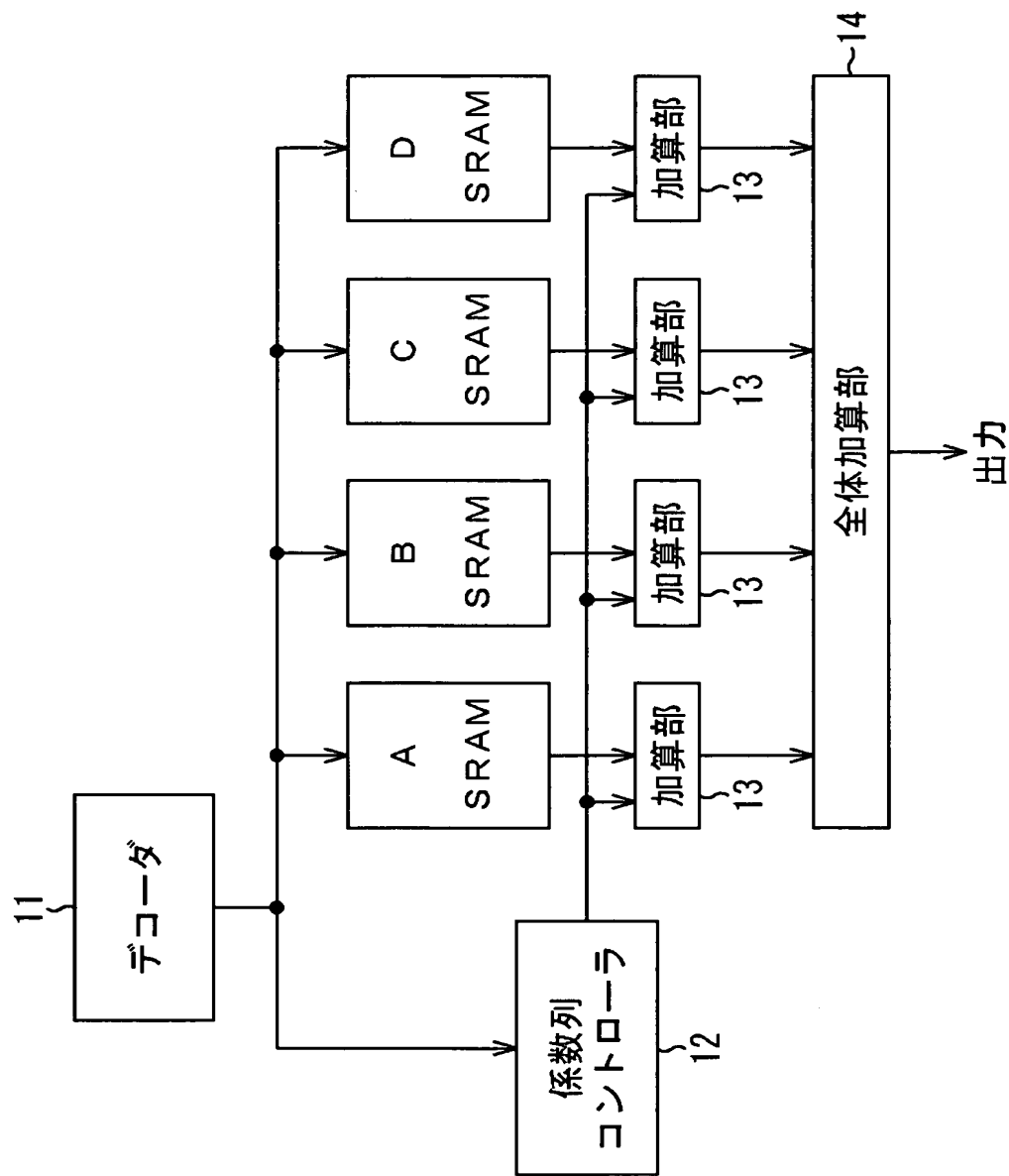
1 4 全体加算部

2 1 カーネルレジスタ

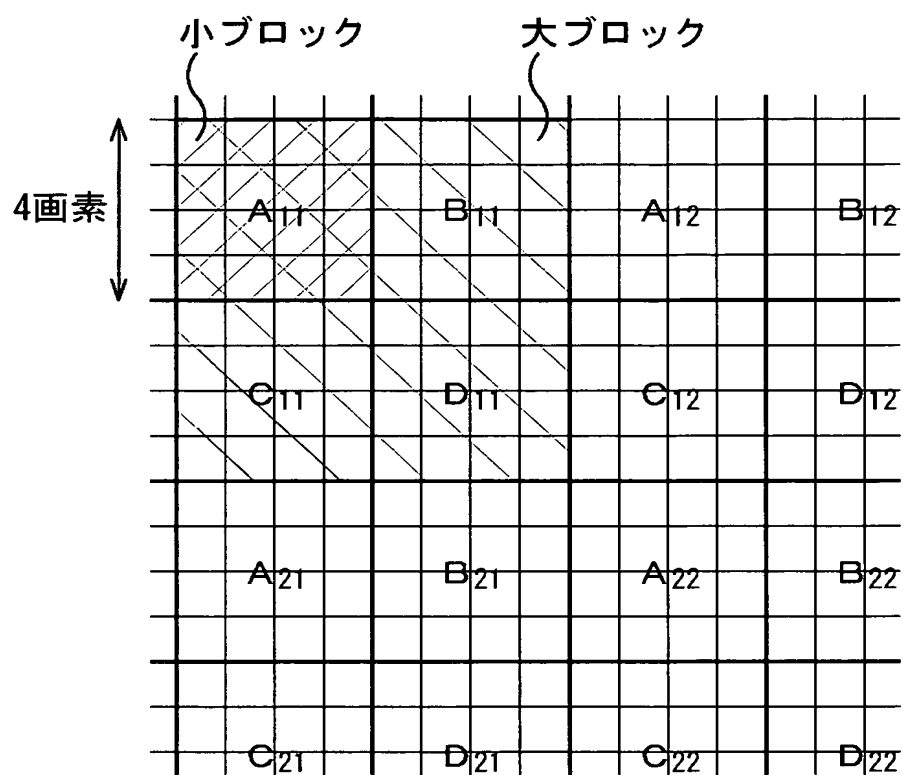
2 2 2 D シフタ

2 3 C S A

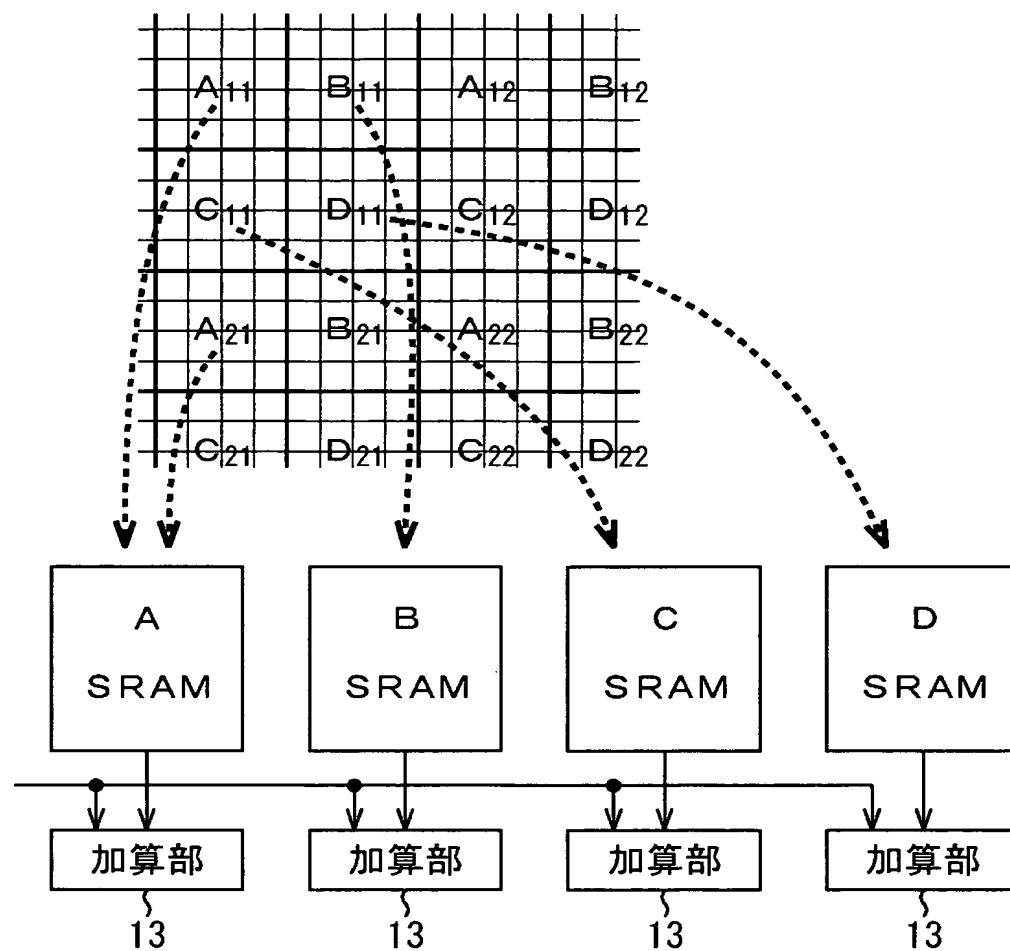
【書類名】 図面
【図 1】



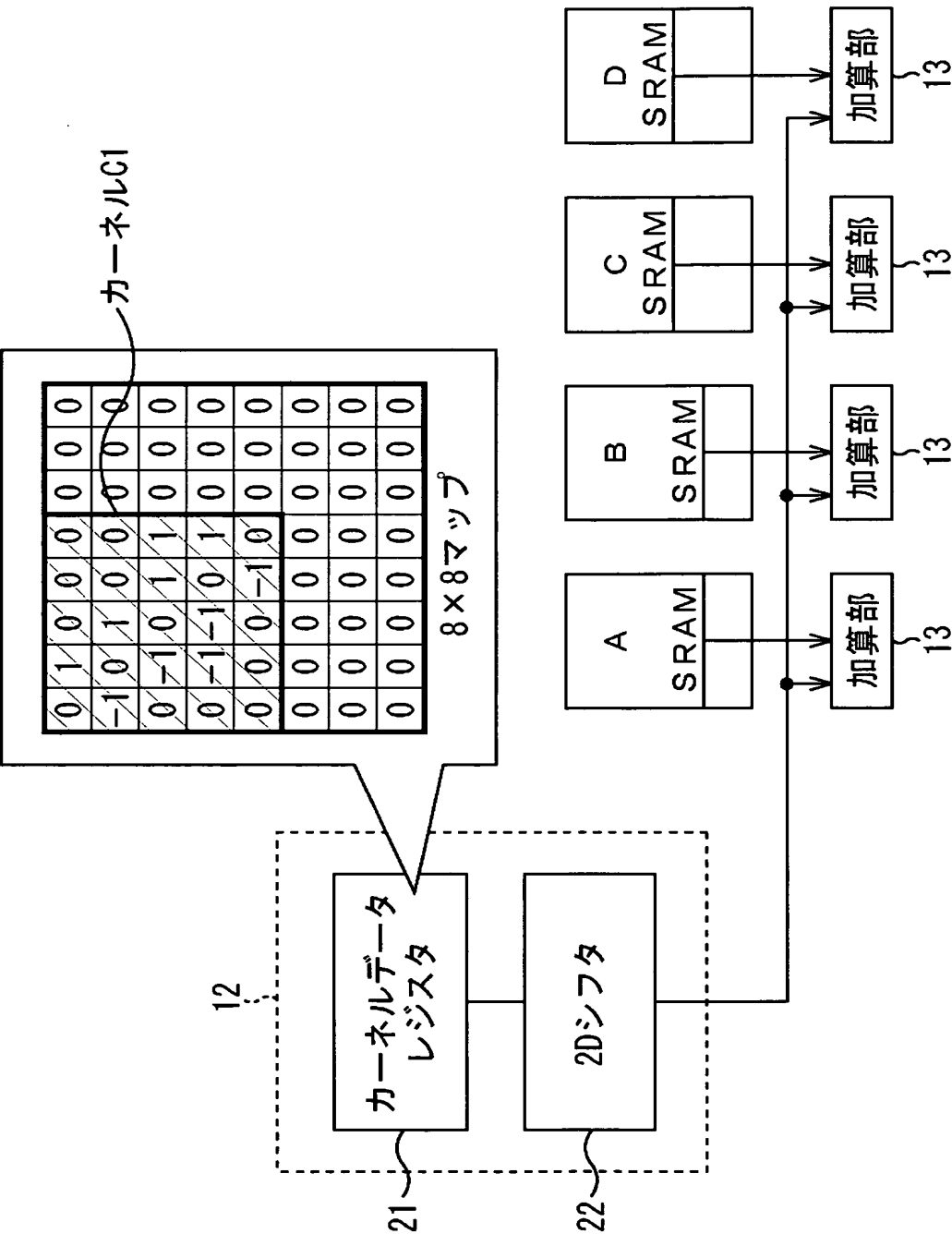
【図 2】



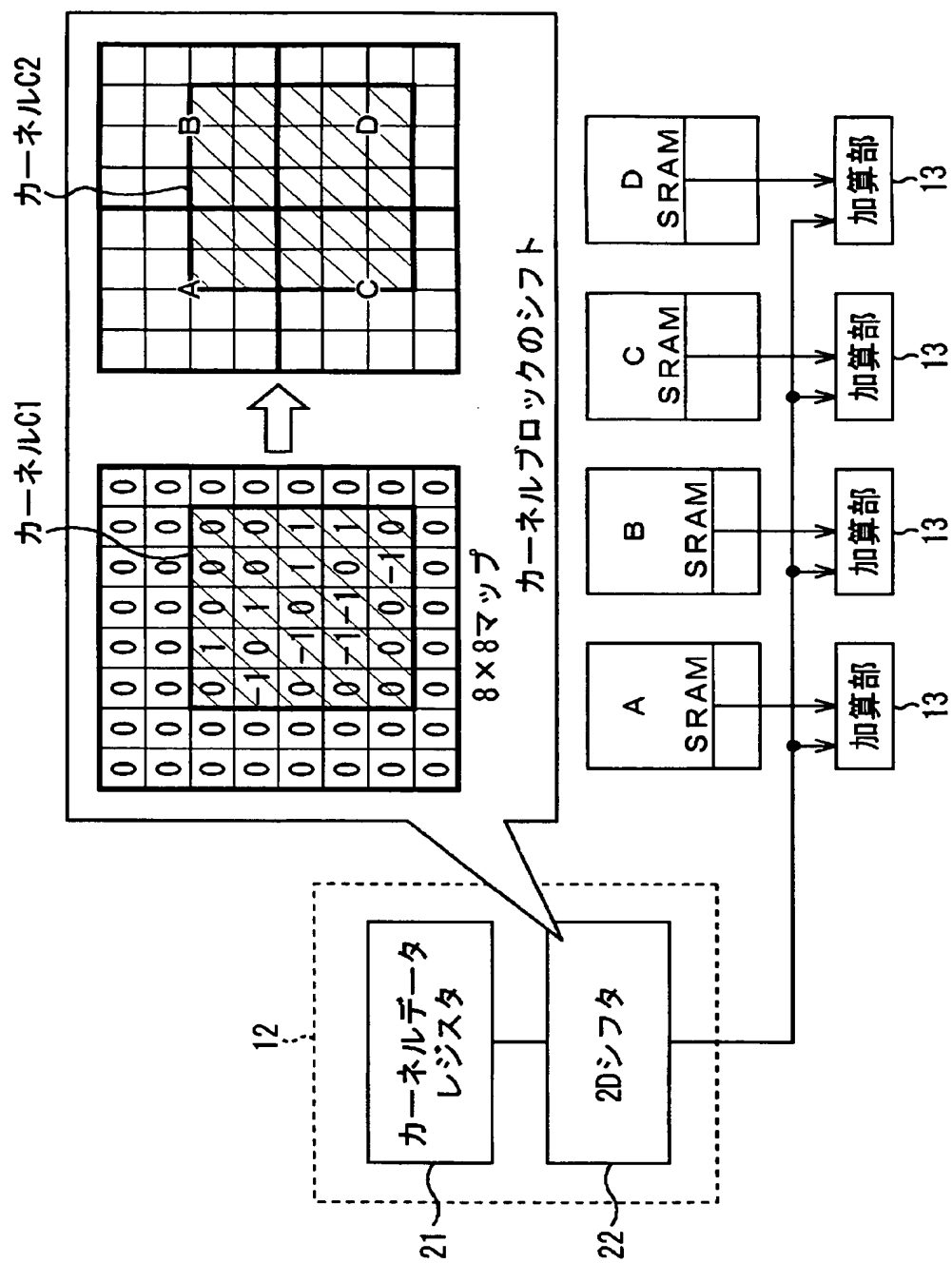
【図 3】



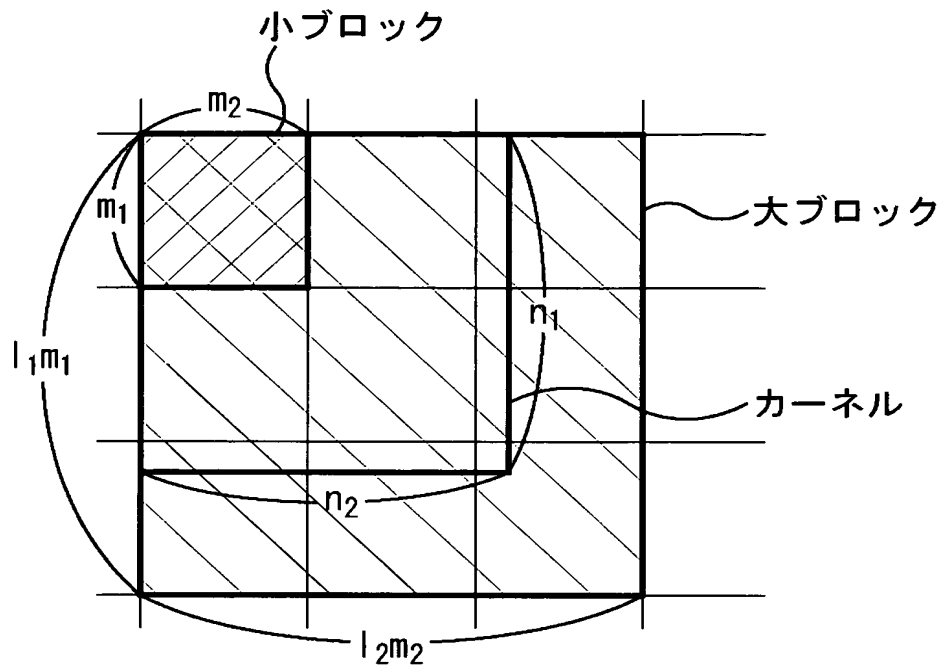
【図4】



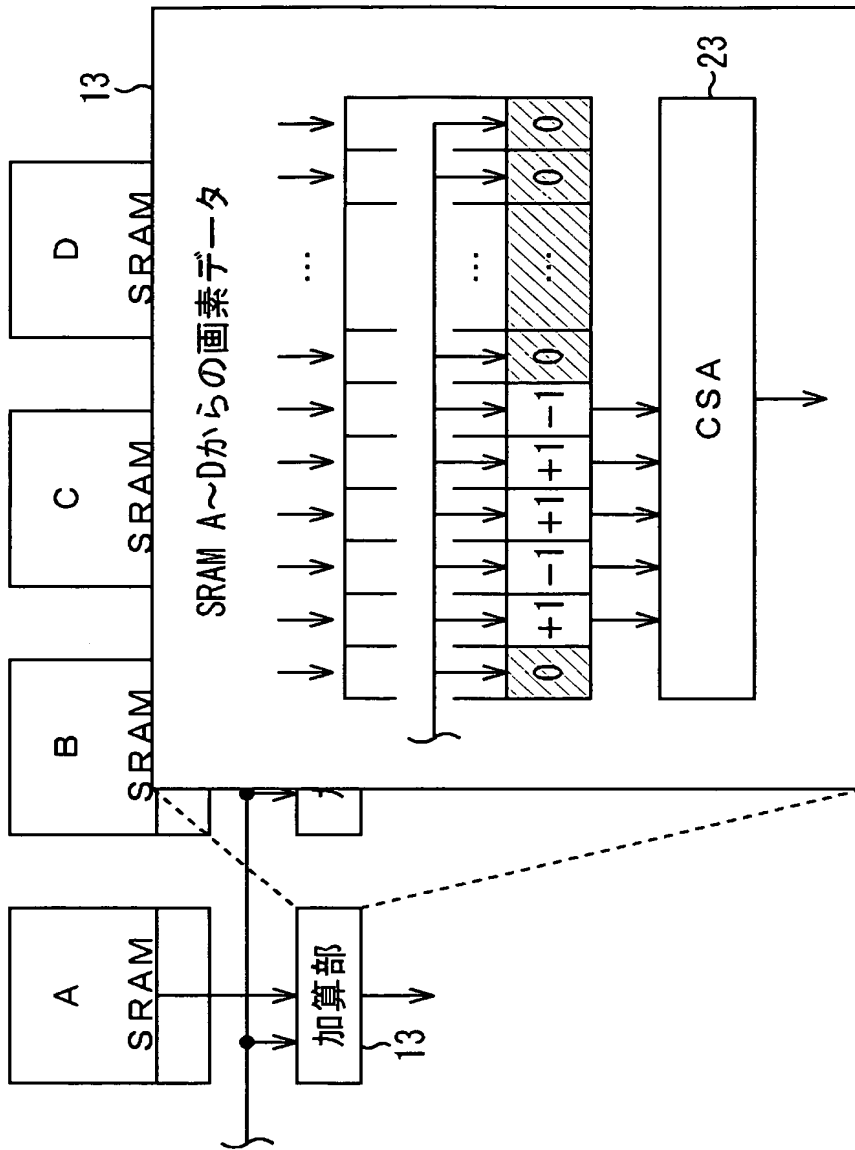
【図 5】



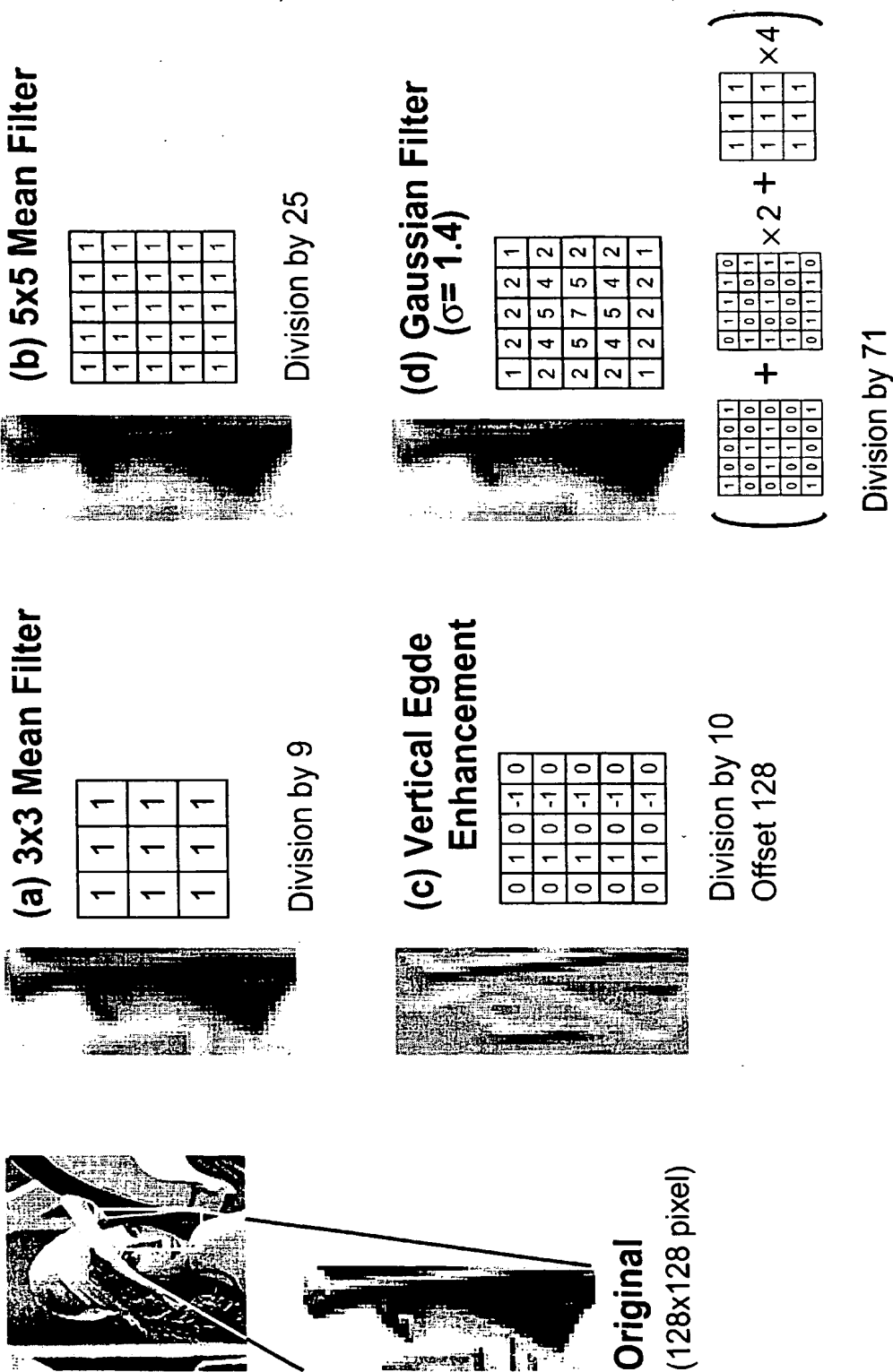
【図 6】



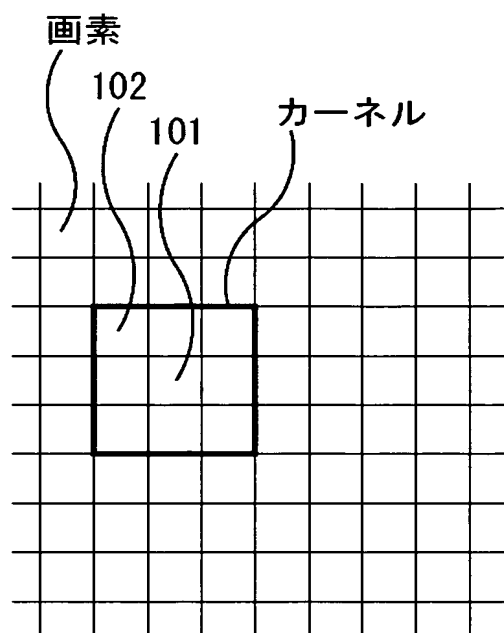
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 比較的簡素な装置構成で無駄なく、極めて短時間且つ低消費電力で画像処理を行うことを可能とする画像処理装置及び画像処理方法を提供する。

【解決手段】 各大ブロックにおいて、各小ブロック毎、例えばSRAM Aであれば小ブロック A_{ij} の画素データを保持し、各小ブロックに対する1つのアドレス指定により当該小ブロック内の複数の画素データを同時に読み出し自在に構成されてなるSRAM A, B, C, Dと、複数の係数がマトリクス状に配置されてなる係数列を有し、複数の前記係数をそれぞれ対応する前記画素データに乗算して総和を求める係数列コントローラ12及び加算部13とを含み、SRAM A, B, C, Dから読み出された、ある1つの大ブロックを構成する各小ブロックの各画素データに、係数列を所定の順序に並び換えて乗算する。

【選択図】 図5

特願 2 0 0 3 - 0 3 1 5 6 9

出 願 人 履 歴 情 報

識別番号

[5 9 1 0 2 2 1 1 7]

1. 変更年月日

1 9 9 7 年 1 1 月 1 7 日

[変更理由]

住所変更

住 所

東京都江東区越中島 1 - 3 - 1 6 - 4 1 1

氏 名

柴田 直

特願 2003-031569

出願人履歴情報

識別番号

[000116024]

1. 変更年月日

1990年 8月22日

[変更理由]

新規登録

住 所

京都府京都市右京区西院溝崎町21番地

氏 名

ローム株式会社

特願 2 0 0 3 - 0 3 1 5 6 9

出 願 人 履 歴 情 報

識別番号

[5 0 3 0 5 3 8 8 2]

1. 変更年月日

2 0 0 3 年 2 月 7 日

[変更理由]

新規登録

住 所

東京都文京区根津 2 - 1 1 - 1 1 - 3 0 1

氏 名

小川 誠

特願 2 0 0 3 - 0 3 1 5 6 9

出 願 人 履 歴 情 報

識別番号

[5 0 3 0 5 4 6 9 4]

1. 変更年月日

2 0 0 3 年 2 月 7 日

[変更理由]

新規登録

住 所

千葉県柏市西原 3 - 8 - 1 8 セルフィール西原 3 0 2

氏 名

伊藤 潔人